

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-271637

(43)Date of publication of application : 06.11.1990

(51)Int.Cl.

H01L 21/336  
H01L 29/784

(21)Application number : 01-094082

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 13.04.1989

(72)Inventor : NISHIKI TAMAHIKO  
YOSHIDA MAMORU  
NOMOTO TSUTOMU  
SEKIDO MUTSUHIRO

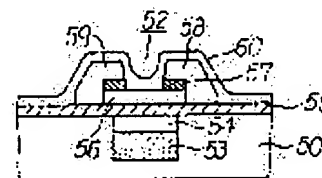
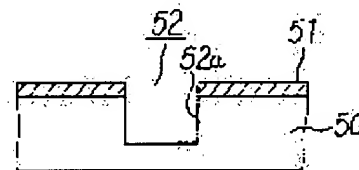
## (54) MANUFACTURE OF THIN-FILM TRANSISTOR ARRAY

### (57)Abstract:

**PURPOSE:** To enable a stable gate signal to be propagated by laminating a metal at the bottom part within each gate wiring groove which is formed by performing etching to a substrate of each gate wiring part and then forming a second insulation film with a thickness reaching the surface of the substrate on the metal layer for increasing the thickness of gate wiring.

**CONSTITUTION:** A sensitive resin film 51 is formed on a substrate 50 by applying a sensitive resin and the sensitive resin film 51 at a plurality of gate wiring parts is selectively eliminated. After that, the surface of the substrate 50 in each gate wiring part is selectively etched to form a plurality of gate wiring groove 52a and then a metal film 53 for wiring gate is formed at the

bottom part within each gate wiring groove 52a. Furthermore, after the process for eliminating the sensitive resin film 51 and the metal film 53 for wiring gate on it, a second film 54 with a thickness reaching the surface of the substrate 50 on the metal film 53 is formed. It will increase the thickness of gate wiring, reduces wiring resistance at the gate wiring part, and prevents disconnection, and interlayer short-circuiting of an upper wiring easily.



---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**Title: Fabricating method for a TFT array**

Laid Open No.: 02-271637

Laid Open Date: November 06, 1990

[Object] It is an object of the present invention to provide a simple fabricating method for a TFT array having a low resistive gate lines.

[Effects] The present invention enables a low resistive gate lines, and stable gate signals, without employing a difficult fabricating method such as the taper-etching.

## ⑫ 公開特許公報(A) 平2-271637

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)11月6日

H 01 L 21/336  
29/784

8624-5F H 01 L 29/78

3 1 1 P

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 薄膜トランジスタアレイの製造方法

⑮ 特 願 平1-94082

⑯ 出 願 平1(1989)4月13日

⑰ 発 明 者	西 木 玲 彦	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑱ 発 明 者	吉 田 守	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲ 発 明 者	野 本 勉	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑳ 発 明 者	関 戸 睦 弘	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
㉑ 出 願 人	沖電気工業株式会社	東京都港区虎ノ門1丁目7番12号	
㉒ 代 理 人	弁理士 柿本 恭成		

## 明 細 書

## 1. 発明の名称

薄膜トランジスタアレイの製造方法

## 2. 特許請求の範囲

基板上に感光性樹脂を塗布して感光性樹脂膜を形成し、複数のゲート配線部における前記感光性樹脂膜を選択的に除去する第1の工程と、

前記各ゲート配線部および前記感光性樹脂膜上にゲート配線用の金属層を被着する第2の工程と、

前記感光性樹脂膜およびその上の前記ゲート配線用の金属層を除去する第3の工程と、

前記各ゲート配線部を含む前記基板上に第1の絶縁膜を形成し、その第1の絶縁膜を介して前記各ゲート配線部上に複数の活性層を配列形成し、その各活性層のエッジ部にソースおよびドレイン領域をそれぞれ形成する第4の工程とを有する薄膜トランジスタアレイの製造方法において、

前記第1の工程後に、前記各ゲート配線部における前記基板の表面を選択的にエッチングして複数のゲート配線溝を形成し、その各ゲート配線溝

内の底部に、前記第2の工程における金属層を形成し、

前記第3の工程後の前記第4の工程前に、前記金属層上において前記基板の表面に達する厚さの第2の絶縁膜を形成することを特徴とする薄膜トランジスタアレイの製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、液晶ディスプレイ等に用いられる薄膜トランジスタ(以下、TFTという)アレイの製造方法、特に基板上の複数の膜層からなるトランジスタにおいて最も基板側にゲート膜が形成される逆スタガー型TFTアレイの製造方法に関するものである。

(従来の技術)

従来、このような分野としては、例えば第2図のようなものがあった。以下、その構成を図を用いて説明する。

第2図(1)～(4)は従来のTFTアレイの製造方法を示す製造工程図である。

先ず、第2図(1)において、硝子基板1上にレジスト(感光性樹脂)を塗布してレジスト膜2を形成し、露光、現像により複数のゲート配線部3の硝子基板表面を露出させる。第2図(2)において、各ゲート配線部3を含むレジスト膜2上にスパッタ法によりゲート配線用の金属層4を被着する。次に第2図(3)において、発煙硝酸等によりレジスト膜2とその上の金属層4を除去してゲート配線パターンが形成される。その後第2図(4)において、CVD(化学的気相成長)法により各ゲート配線部3を含む硝子基板1上に絶縁膜5および活性層6を連続して形成し、ウェットエッチング法により活性層であるアモルファスシリコン(以下、a-Siという)層6をパターンニングする。さらにパターンニングされた各a-Si 6のエッジ部にソースおよびドレイン領域7、8を形成した後、層間絶縁膜9を形成して各ゲート配線部3に複数のTFT10が配列されたTFTアレイを得ている。

このような製造工程で製造された各TFT10

に配列されている。また、図示しない液晶が表示画面40に封入されている。

このLCDは次のように動作する。

先ず、走査回路20およびホールド回路30により、例えばゲート配線3-1およびドレイン配線30-1が選択され、画素40-1のTFT10がオン状態になると、画素電極11に所定の電圧が印加される。これにより、画素40-1に電界が生じ、液晶分子の配列状態が変化するため、液晶を通過する光の通過率が変化する。そして、このような動作を各画素40a毎に行わせることにより、文字パターン等の表示が可能となる。

しかし、第2図のTFTアレイを第3図のLCDに適用すると、次のような問題があった。

このLCDはアクティブマトリクス方式で構成されているので、一本のゲート配線に多数のTFTが接続され、しかも表示画面の大形化、高精細化に伴いゲート配線3-1、3-2……3-nの距離が長くなっている。このため、ゲート配線抵抗が増大してゲート信号波形に歪みが生じ、ゲ-

は、その高いスイッチング比をもつことなどから特に、微細な画素を有し、大画面が要望されるアクティブマトリクス方式の液晶ディスプレイ(以下、LCDという)に敵したトランジスタとして期待されている。

第3図は、第2図のTFTアレイを用いたアクティブマトリクス方式のLCDにおける等価回路の回路図である。

このLCDは走査回路20、ホールド回路30および表示画面40とを備えている。走査回路20は複数のゲート配線3-1、3-2~3-nに、ホールド回路30は複数のドレイン配線30-1、30-2~30-nにそれぞれ接続されている。ゲート配線3-1、3-2~3-nとドレイン配線30-1、30-2~30-nとは、表示画面40上において格子状に交差し、そのドレイン配線30-1、30-2~30-nとゲート配線3-1、3-2~3-nとに囲まれた各画素40a毎に、TFT10が透明画素電極(ITO)11および信号蓄積用キャパシタ12と共に2次元的

に信号供給端側に近い画素では十分な表示が行われていても、終端側では表示が不充分となる場合があった。

このような問題は、ゲート配線抵抗の低減を計れば改善できるが、その方法として、(1)ゲート配線幅を広くする、(2)ゲート配線に例えば、金(Au)、アルミニウム(Al)の低抵抗材料を使用する等が挙げられる。しかし、(1)では、開口率(有効表示面積比率)が十分に確保できなくなり、(2)では、例えば高温処理をするa-Si層6を形成する際、抵抗材料が拡散あるいは変質する虞があり、いずれも上記問題を解決する方法としては適切ではなかった。

そこで、上記問題に対処するため、テレビジョン学会技術報告1PD106-1(1986-3)(株)東芝・総合研究所「アクティブマトリクス形液晶ディスプレイにおけるアドレスライン抵抗の影響」P.51-55に記載される製造方法が提案された。

この提案は、第3図中のゲート配線3-1、3

2～3-nの配線厚を硝子基板1上に増大させることでゲート配線抵抗の低減を計っているが、この方法では、ドレイン配線30-1、30-2～30-nとの層間ショートやドレイン配線30-1、30-2～30-nの断線の問題が生じる。そのため、この提案はゲート配線3-1、3-2～3-nの金属層(タンタル)を一樣にテーバーエッチングすることにより第1の絶縁膜5のゲート配線パターンエッジにおける耐圧劣化を防止し、上記問題の解決を計っている。

(発明が解決しようとする課題)

しかしながら、上記の提案のTFTEアレイの製造方法では、ゲート配線3-1、3-2～3-nの金属層を一樣にテーバーエッチングする際、高精度の製造技術が要求され、製造工程が複雑化する。そのため、製造中に微小物の混入やハンドリング傷等の作業ミスの機会が多くなりトランジスタの品質の低下および性能の悪化を生じる虞があった。

本発明は前期従来技術が持っていた課題として、

製造工程を複雑にすることなく、ゲート配線抵抗を低減することが困難である点について解決したTFTEアレイの製造方法を提供するものである。  
(課題を解決するための手段)

本発明は、前記課題を解決するために、基板上に感光性樹脂を塗布して感光性樹脂膜を形成し、複数のゲート配線部における前記感光性樹脂膜を選択的に除去する第1の工程と、前記各ゲート配線部および前記感光性樹脂膜上にゲート配線用の金属層を被着する第2の工程と、前記感光性樹脂膜およびその上の前記ゲート配線用の金属層を除去する第3の工程と、前記各ゲート配線部を含む前記基板上に第1の絶縁膜を形成し、その第1の絶縁膜を介して前記各ゲート配線部に複数の活性層を配列形成し、その各活性層のエッジ部にソースおよびドレイン領域をそれぞれ形成する第4の工程とを有する薄膜トランジスタアレイの製造方法において、次のような手段を講じたものである。即ち、前記第1の工程後に、前記各ゲート配線部における前記基板の表面を選択的にエッチン

グして複数のゲート配線溝を形成し、その各ゲート配線溝内の底部に、前記第2の工程における金属膜を形成し、さらに前記第3の工程後の前記第4の工程前に、前記金属層上において前記基板の表面に達する厚さの第2の絶縁膜を形成するものである。

(作 用)

本発明によれば、以上のようにTFTEアレイの製造方法を構成したので、各ゲート配線部にゲート配線溝を形成し、そのゲート配線溝にゲート配線用の金属を積層することは、ゲート配線厚を増大するように働き、ゲート配線部の配線抵抗を低減させる。また、金属層上において基板の表面に達する厚さの第2の絶縁膜を形成することは、ゲート配線部と硝子基板面との段差を解消するように働き、容易に上部配線の断線や層間ショートを防止する働きがある。

したがって、前記課題を解決することができるのである。

(実施例)

第1図(1)～(8)は本発明の一実施例を示すTFTEアレイの製造工程図である。このTFTEアレイはアクティブマトリクス方式のLCD等に用いられるもので、以下、第1図(1)～(8)を参照にしつつ各工程を説明する。

(A) 第1図(1)の工程

例えば硝子基板(コーニング社製造、品番7059)50上に1.5～2.0μmの厚さにレジスト(感光性樹脂)を塗布し、乾燥させてレジスト膜51を形成し、その後、一般的なホトリソグラフィ技術を用いて露光、現像およびエッチング等を行いゲート配線部52のレジスト膜51を選択的に除去して硝子基板50の表面を露出させる。

(B) 第1図(2)の工程

沸酸あるいはバッファ沸酸水溶液等を用いゲート配線部52に露出した硝子基板50の表面を5000Åの深さにエッチングしてゲート配線溝52aを形成する。

(C) 第1図(3)の工程

ゲート配線溝52aおよびレジスト膜51上に、スパッタリング法等によって、Ta(タンタル)を厚4000Åに被着させ、計の金属層53を形成する。

(D) 第1図(4)の工程

この金属層53に例えば、発煙硝酸を用いてレジスト膜51およびその上の金属層53を除去することで、所定形状のゲート配線パターンが形成される。

(E) 第1図(5)の工程

例えば、1%のリン酸溶液中に金属層(Ta)53を浸し、1%のリン酸溶液中にマイナスの白金電極を設けて金属層(Ta)53をプラスにして電流を流す陽極酸化を行うことで金属層(Ta)53を酸化させ、その上にTa<sub>2</sub>O<sub>5</sub>からなる第2の絶縁膜54を形成する。この際、金属層(Ta)53と第2の絶縁膜54との合わせた厚さがゲート配線溝52-1の深さである5000Åとなるようにして硝子基板50の表面の段差をなくす。

要な工程を施せば、所望のTFTアレイが得られる。

また、このTFTアレイをLCDに用いる場合には、インジウム・チタン・オキサイド(ITO)からなる複数の透明画素電極をソース電極58に接合させてパターニングする。

本実施例では、次のような利点を有している。

(1) 本実施例では、硝子基板50をエッチングしてできたゲート配線溝52aにゲート配線を形成したので、従来の製造方法に比べ、容易にゲート配線厚を増大できる。このため、LCDの表示画面が大型化してゲート配線が長くなっても、ゲート配線抵抗を低く抑えることができ、ゲート配線抵抗の増大による表示コントラストの悪化を防止できる。

(2) 本実施例では、従来のようなテーパエッチング等の複雑な製造技術を要せずにゲート配線抵抗を低く抑えることができるので、製造中に微小物の混入やハンドリング傷等の作業ミスのおそれが少なく、トランジスタの品質の向上が計れる。

(F) 第1図(6)の工程

CVD(Chemical vapor Deposition)法等によってシリコン窒化膜SiNxを被着させ、第1の絶縁膜55を形成する。その後、第1の絶縁膜55上にa-Siを被着させ、活性層56を形成する。

(G) 第1図(7)の工程

a-Siからなる活性層56をウェットエッチング法によりパターニングし、ゲート配線部52上に第1の絶縁膜55を介して複数の島状の活性層56を配列形成する。

(H) 第1図(8)の工程

活性層56上に不純物をドーピングしてなる<sup>+</sup>a-Siを積層し、オーミック接合層57を形成する。さらに、オーミック接合層57上にAl等の金属を被着させた後、その金属およびオーミック接合層57にエッチングを施して不要部分を除去すれば、ソース電極58およびドレイン電極59が形成される。その後、SiO<sub>2</sub>等からなるパッシベーション膜(保護膜)を被着させる等の必

要。なお、本発明は図示の実施例に限定されず、種々の変形が可能である。例えば、硝子基板50に代えて他の可透性基板を使用したり、あるいは第1図の製造方法によるTFTアレイは、アクティブマトリクス形のLCDのみならず、例えば単純マトリクス形のLCDやイメージセンサに適用することも可能である。

(発明の効果)

以上詳細に説明したように、本発明によれば、各ゲート配線部の基板にエッチングを施してゲート配線溝を形成し、その各ゲート配線溝内の底部に金属を積層し、その金属層上において基板の表面に達する厚さの第2の絶縁膜を形成してゲート配線厚を増大したので、従来のようにテーパエッチングなどの高度な製造方法を用いなくとも、容易にゲート配線抵抗を低く抑えることができ、安定したゲート信号の伝搬を可能とする。これにより、本発明のTFTアレイを例えば、複数のゲート配線を有するアクティブマトリクス方式のLCDに用いれば、複数のゲート配線抵抗が低減す

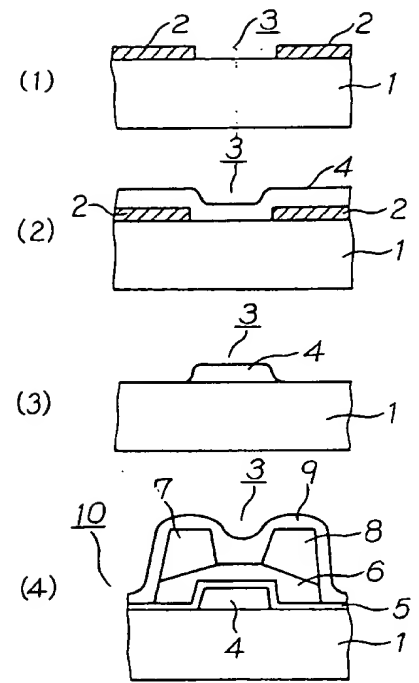
ることにより、高品質な画像を得ることができる。

#### 4. 図面の簡単な説明

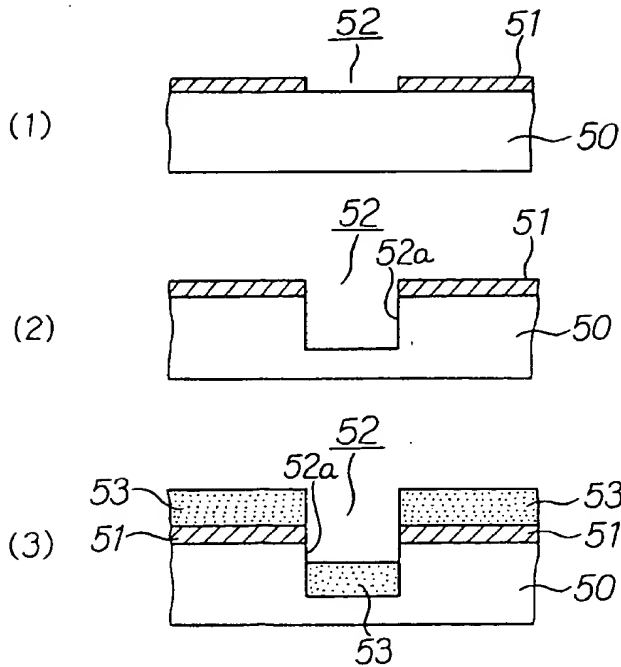
第1図(1)～(8)は本発明の実施例を示すTFTアレイの製造工程図、第2図(1)～(4)は従来のTFTアレイの製造工程図、第3図はアクティブマトリクス方式のLCDの等価回路図である。

50……硝子基板、51……レジスト膜、  
52……ゲート配線部、52a……ゲート配線溝、  
53……金属層、  
55、54……第1、第2の絶縁膜、  
56……a-Si活性層、58……ソース電極、  
59……ドレイン電極。

出願人 沖電気工業株式会社  
代理人弁理士 柿本恭成



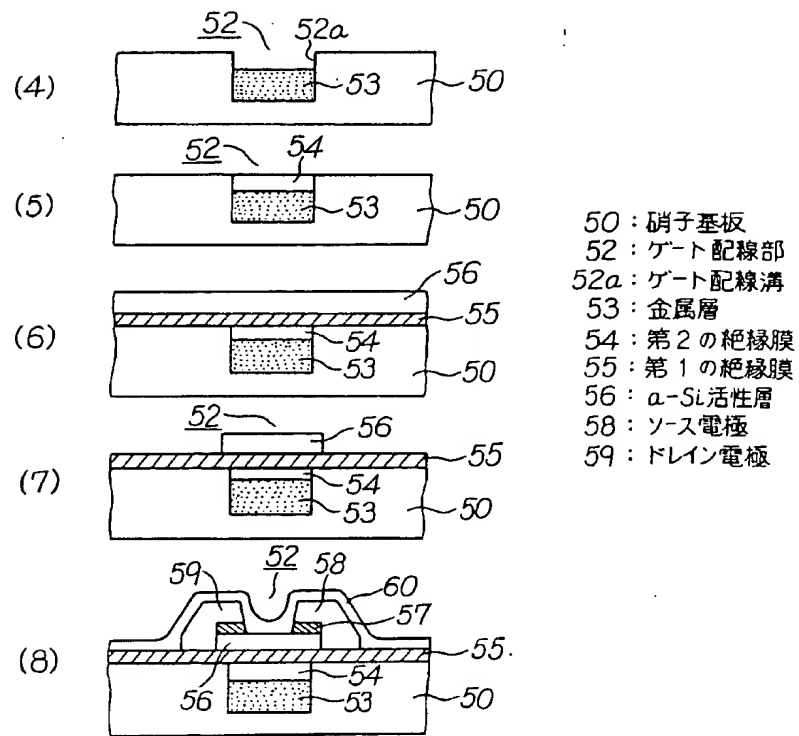
従来の製造工程図  
第2図



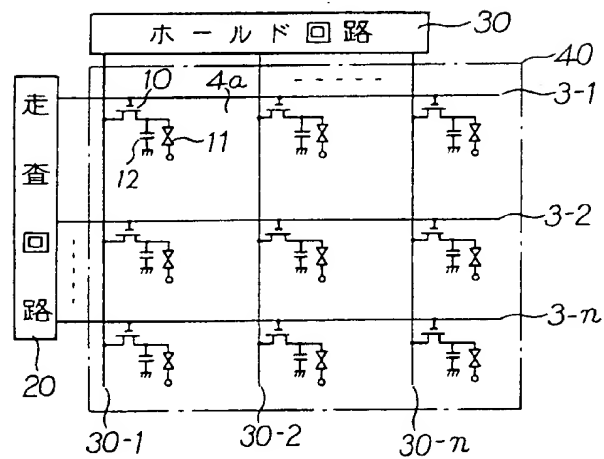
本発明の製造工程図  
第1図(その1)

50：硝子基板  
51：レジスト膜  
52：ゲート配線部  
52a：ゲート配線溝  
53：金属層  
54：第2の絶縁膜





本発明の製造工程図  
第1図 (その2)



アクティブマトリクス方式の回路  
第3図